

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-73509

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

G 0 6 F 15/16
9/46

識別記号 庁内整理番号

3 1 0 P 8840-5L
3 6 0 F 8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平3-232860

(22)出願日 平成3年(1991)9月12日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 中塚 國男

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社通信機製作所内

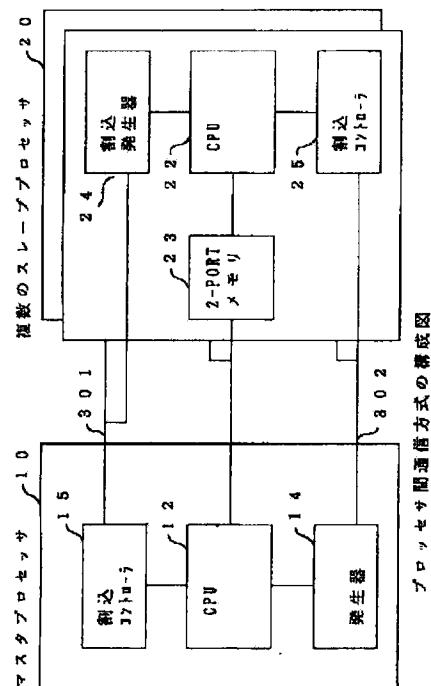
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 プロセッサ間通信方式

(57)【要約】

【目的】複数個のスレーブプロセッサにデータを送信するときに、同時に送信することの出来るプロセッサ間通信方式を得る。

【構成】マスタプロセッサ10より複数個のスレーブプロセッサ20にデータを送信する際に、複数個のスレーブプロセッサ20のそれぞれの2-POR Tメモリ23に、送信用のデータを書き込み、マスタプロセッサ10よりの割り込みを複数個のスレーブプロセッサ20に同時に発生させ、それぞれの、複数個のスレーブプロセッサ20がマスタプロセッサ10よりの割り込みを受信し、2-POR Tメモリ23より、送信されたデータを読み込むことにより、同時にマスタプロセッサよりのデータを受信する構成とした。



【特許請求の範囲】

【請求項1】 以下のメモリと、マスタプロセッサと、複数のスレーブプロセッサと、信号線を有するプロセッサ間通信方式
 (a) マスタプロセッサ及びスレーブプロセッサからアクセスされるメモリ、
 (b) 以下の要素を有するマスタプロセッサ、
 (b 1) 複数のスレーブプロセッサに対して割り込み信号を発生させる割込発生部、
 (b 2) 複数のスレーブプロセッサに送るデータをメモリに設定するマスタCPU、
 (c) 以下の要素を有するスレーブプロセッサ
 (c 1) マスタプロセッサからの割込み信号を受け付ける割込コントローラ、
 (c 2) 割込コントローラの割込み信号の受け付けに基づき、メモリに設定されたデータをアクセスするスレーブCPU、
 (d) 上記マスタプロセッサの割り込み信号を各スレーブプロセッサの割込コントローラに伝える信号線。

【請求項2】 以下の工程を有し、マスタプロセッサが複数のスレーブプロセッサにデータの送信を行なうプロセッサ間通信方式
 (a) マスタプロセッサがスレーブプロセッサに送信するデータをメモリに設定する設定工程、
 (b) 上記設定工程後、マスタプロセッサが複数のスレーブプロセッサに同時に割り込みを発生させる割り込み通知工程、
 (c) スレーブプロセッサが上記割り込み通知工程で発生された割り込みを感じて、設定工程で設定されたメモリのデータをアクセスするアクセス工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マルチプロセッサシステムにおけるプロセッサ間通信方式に関するものである。

【0002】

【従来の技術】 図4は、例えば特開昭60-23756号公報に示された従来のプロセッサ間通信方式を示す構成図である。図において、10はプロセッサA、20はプロセッサB、40は共有メモリ、300、301は割り込み信号（あるいは割り込み信号線）である。

【0003】 次に動作について説明する。図4に示すように、プロセッサA10またはプロセッサB20のいずれからもアクセスできる共有メモリエリア40を置くことによりデータ授受を行うものである。この共有メモリエリア40は、プロセッサA10またはプロセッサB20から自分のメモリと同様に使用でき、所定のエリアを、プロセッサA10用またはプロセッサB20用と分けてアドレスを決めて割り付けておき、送信側プロセッサA10が相手のプロセッサB20に送りたい指示ある

いは状態等のデータをその自分に割り付けられたメモリに書き込む。これは通常のメモリアクセスとまったく同様に行われる。送信側プロセッサはデータを書き込み後、受信側プロセッサにI/O命令等を送出する。受信側プロセッサは、送信側プロセッサの命令を受信側プロセッサの割り込み原因とするように設定しておく。また受信側プロセッサは、送信側プロセッサが、すぐ次の処理に移行できるように、つまりI/O命令等を終了させるべく、応答信号を即時返送する。受信側プロセッサは、その後自分の好きな時間に送信側からおくられてきた指示等のデータを読みとり処理すれば良い。このとき、送信側プロセッサはプロセッサA10またはプロセッサB20のどちらであってもかまわないし、同じ方法で通信可能である。また、前述したような方法でデータを転送したとき、両プロセッサの処理のスピードがあわないとき（たとえば片方の送信側プロセッサが相手の受信側プロセッサにおくりたいデータがたくさんあるのに受信側プロセッサは別の処理に忙しくてデータを受け付ける時間ががない様なとき）があると、データの授受確認をしなければならない。この場合には、受信側プロセッサが受信側を完了すると、そのエリアをクリア（またはある応答パターンをかきこむ）することによって送信側プロセッサに未だデータを処理し終わってないことを通知する。従って、送信側プロセッサは、通信エリアが空きになっていなければ、たとえ送信データを抱えていても待っているような処理を行う。こうすることによって、送信側プロセッサ間の処理スピードの違いによるデータの紛失は避けられる。図5は上記動作を説明するフローチャートである。同図において、送信エリアと受信エリアは共通メモリ上で同一のアドレスエリアであり、データの流れている方向により送信エリア、受信エリアと名付けられている。また、送信側プロセッサと受信側プロセッサが入れ替わっても、良いように各プロセッサ毎に送信エリア（相手側の受信エリア）を分けてあれば、データの混信はない。

【0004】

【発明が解決しようとする課題】 従来のプロセッサ間通信方式は、以上のように構成されているので、複数個のスレーブプロセッサにデータを送信するときは、プロセッサ毎にデータを順次送信しなければならず、例えば複数個のスレーブプロセッサの時刻を合わせる処理の様に同時にデータを送信する処理においては、プロセッサ毎にデータを順次送信するために複数個のスレーブプロセッサ間で設定された時間に、送信時間分のずれが生じるなどの問題点があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、マスタプロセッサから複数個のスレーブプロセッサにデータを送信するときに、同時に送信することの出来るプロセッサ間通信方式を得ることを目的としている。

【0006】

【課題を解決するための手段】第1の発明に係わるプロセッサ間通信方式は、マスタプロセッサとスレーブプロセッサよりアクセスできるメモリと、マスタプロセッサ上にスレーブプロセッサに割り込みを発生させる割込発生部と、この割り込みを複数のスレーブプロセッサに伝える信号線と、複数個のスレーブプロセッサのそれぞれにマスタプロセッサよりの割り込みを受信する割込コントローラとを設けたものである。

【0007】第2の発明に係るプロセッサ間通信方式は、マスタプロセッサがデータをメモリに設定する設定工程と、マスタプロセッサが複数のスレーブプロセッサに同時に割り込みを発生させる割り込み通知工程と、各スレーブプロセッサがそれぞれ割り込みを感じてメモリのデータをアクセスするアクセス工程を有したものである。

【0008】

【作用】第1及び第2の発明に係わるプロセッサ間通信方式は、マスタプロセッサより複数個のスレーブプロセッサにデータを送信する際に、メモリに、送信用のデータを書き込み、マスタプロセッサよりの割り込みを複数個のスレーブプロセッサに同時に発生させ、それぞれの、複数個のスレーブプロセッサがマスタプロセッサよりの割り込みを受信し、送信されたデータをメモリから読み込むことにより、同時にマスタプロセッサよりのデータを受信する。

【0009】**【実施例】**

実施例1. 以下、この発明の一実施例を図について説明する。図1において、10はマスタプロセッサであるプロセッサA、12はこのプロセッサA10のCPU、14はプロセッサA10の割込み発生器、15はプロセッサA10の割込みコントローラ、20は複数個のスレーブプロセッサの一つをしめすプロセッサB、22はこのプロセッサB20のCPU、23はプロセッサA10またはプロセッサB20から読み書きできる2-POR Tメモリ、24はプロセッサB20の割込み発生器で、この出力は論理和がとられて、割込みコントローラ15に入力される。25はプロセッサB20の割込みコントローラで割込み発生器14の出力が入力される。301は割込み発生器14から割込みコントローラ25への割り込み信号線、302は割込み発生器24から割込みコントローラ15への割り込み信号線、図2に2-POR Tメモリ23の構成例を示す。41はAの送信フラグ、42はAの送信エリア（Bの受信エリア）、43はBの送信フラグ、44はBの送信エリア（Aの受信エリア）である。

【0010】次に動作について説明する。マスタプロセッサから複数個のスレーブプロセッサへのデータ送信時のフローチャートを図3に示す。マスタプロセッサ側の

処理は、ステップ101において、送信するデータが発生するのを待つ。ステップ102において、プロセッサB20の2-POR Tメモリ23のAの送信フラグ41に空きのパターン“0”が格納されていることをチェックし否ならステップ101を繰り返す。ステップ103において、送信対象のプロセッサB20の2-POR Tメモリ23のAの送信エリア42に送信するデータを書きこむ。ステップ104において、送信対象のプロセッサB20の2-POR Tメモリ23のAの送信フラグ41にデータ有りのパターン“1”を書き込み、割り込み信号線301により、全プロセッサB20に割り込み信号を発生させる。ステップ105において、相手プロセッサより応答が有ったかを、送信対象のプロセッサB20の2-POR Tメモリ23のAの送信フラグ41に空きのパターン“0”が格納されていることによりチェックし、全て応答があるまでステップ105を繰り返す。スレーブプロセッサ側の処理は、ステップ111において、割り込み信号線301により、割り込みコントローラ25が割り込みを感じし、プロセッサB20の2-POR Tメモリ23のAの送信フラグ41にデータ有りのパターン“1”が書き込まれているかで、送信の有無を検知する。ステップ112において、プロセッサB20の2-POR Tメモリ23のAの送信エリア42のデータを受信する。ステップ113において、プロセッサB20の2-POR Tメモリ23のAの有りのパターン“1”が書き込まれているかで、送信の有無を検知する。送信フラグ41に空きのパターン“0”を格納する事により、プロセッサA10に対し割り込みの応答を通知する。

【0011】以上、この実施例では、1個のマスタプロセッサと複数個のスレーブプロセッサによるマルチプロセッサシステムにおけるプロセッサ間通信方式において、マスタプロセッサに、複数個のスレーブプロセッサに割り込みを発生させる手段と、複数個のスレーブプロセッサよりの割り込みを重ね合わせて受信する手段とを備え、複数個のスレーブプロセッサのそれぞれに、マスタプロセッサとスレーブプロセッサよりアクセスできる2-POR Tメモリと、マスタプロセッサよりの割り込みを受信する手段と、マスタプロセッサへの割り込みを発生させる手段とを備え、マスタプロセッサより同時に、複数個のスレーブプロセッサに対してデータを送信するプロセッサ間通信方式を説明した。

【0012】実施例2. なお、上記実施例では2-POR Tメモリ23が複数個のスレーブプロセッサ毎に設置された例を示したが、マスタプロセッサおよび複数個のスレーブプロセッサからアクセスできるひとつの共有メモリを備え、このひとつの共有メモリ上に複数個のスレーブプロセッサ毎のAの送信フラグ41とAの送信エリア42とBの送信フラグ43とBの送信エリア44のエリアを設置してもよく、上記実施例と同様の効果を奏す

る。

【0013】実施例3. また、上記実施例ではマスタプロセッサとスレーブプロセッサが固定されていおる場合を示したが、マスタとスレーブが同一構成をもつことにより、同一プロセッサが任意にマスタとスレーブの役わりを変えて動作することも可能である。

【0014】

【発明の効果】以上のように、第1及び第2の発明によれば、マスタプロセッサが複数個のスレーブプロセッサに割り込みを発生させ、複数個のスレーブプロセッサのそれぞれがマスタプロセッサよりの割り込みを受信するよう構成したので、複数個のスレーブプロセッサにデータを送信するときに同時に送信することの出来るプロセッサ間通信方式が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例による、プロセッサ間通信方式を示す構成図である。

【図2】この発明の一実施例による、プロセッサBの2-POR Tメモリの構成例を示す図である。

【図3】この発明の一実施例による、マスタプロセッサから複数個のスレーブプロセッサへのデータ送信時のフ

ローチャート図である。

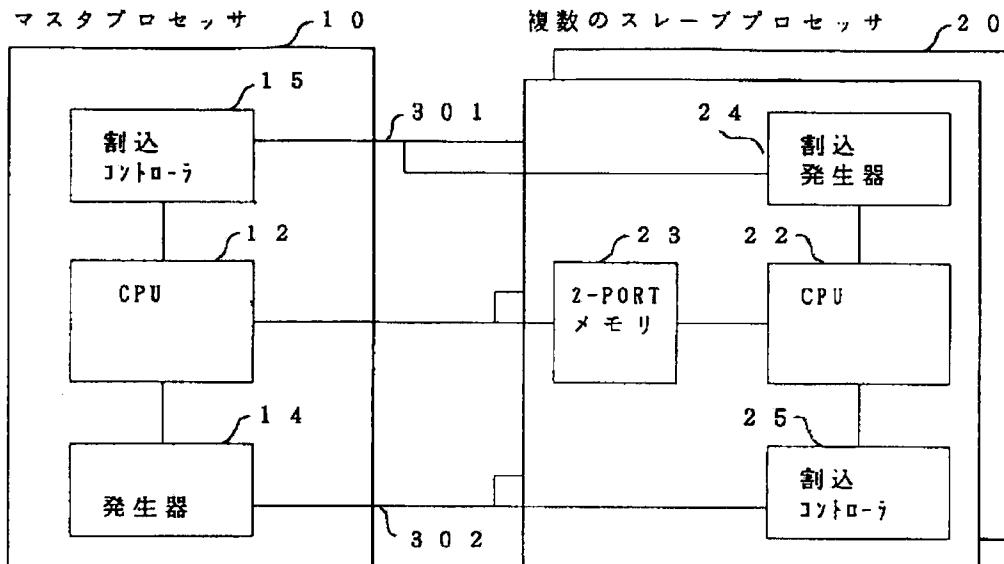
【図4】従来のプロセッサ間通信方式を示す構成図である。

【図5】従来の一実施例によるプロセッサ間通信のフローチャート図である。

【符号の説明】

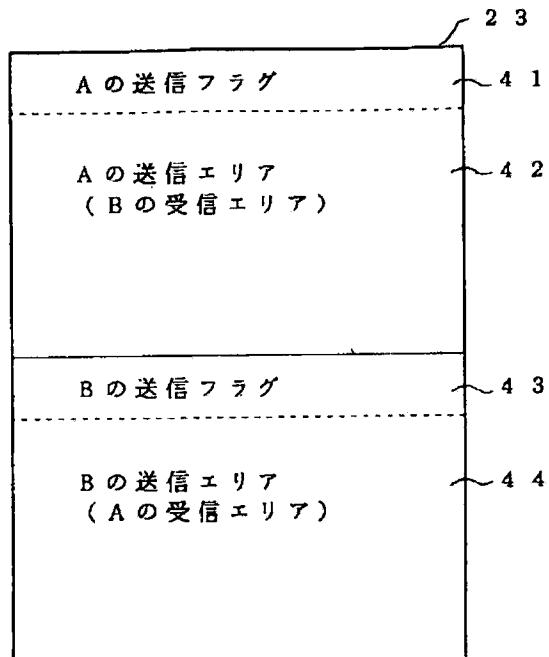
- 10 プロセッサA
- 12 AのCPU
- 14 Aの割込み発生器
- 15 Aの割込みコントローラ
- 20 プロセッサB
- 22 BのCPU
- 23 Bの2-POR Tメモリ
- 24 Bの割込み発生器
- 25 Bの割込みコントローラ
- 41 Aの送信フラグ
- 42 Aの送信エリア
- 43 Bの送信フラグ
- 44 Bの送信エリア
- 301 Aの割込み信号線
- 302 Bの割込み信号線

【図1】



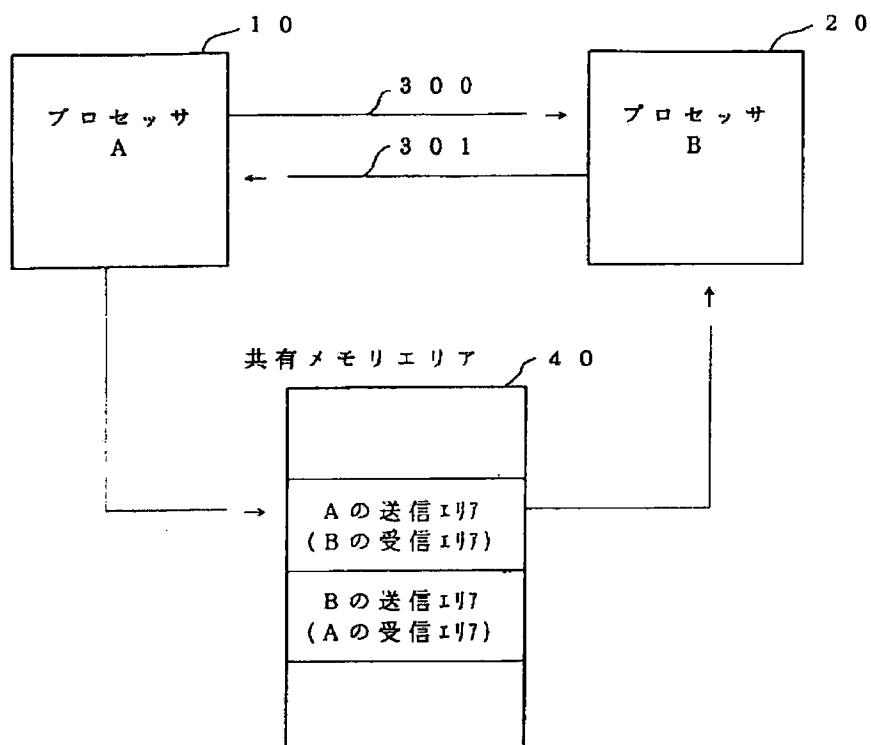
プロセッサ間通信方式の構成図

【図2】

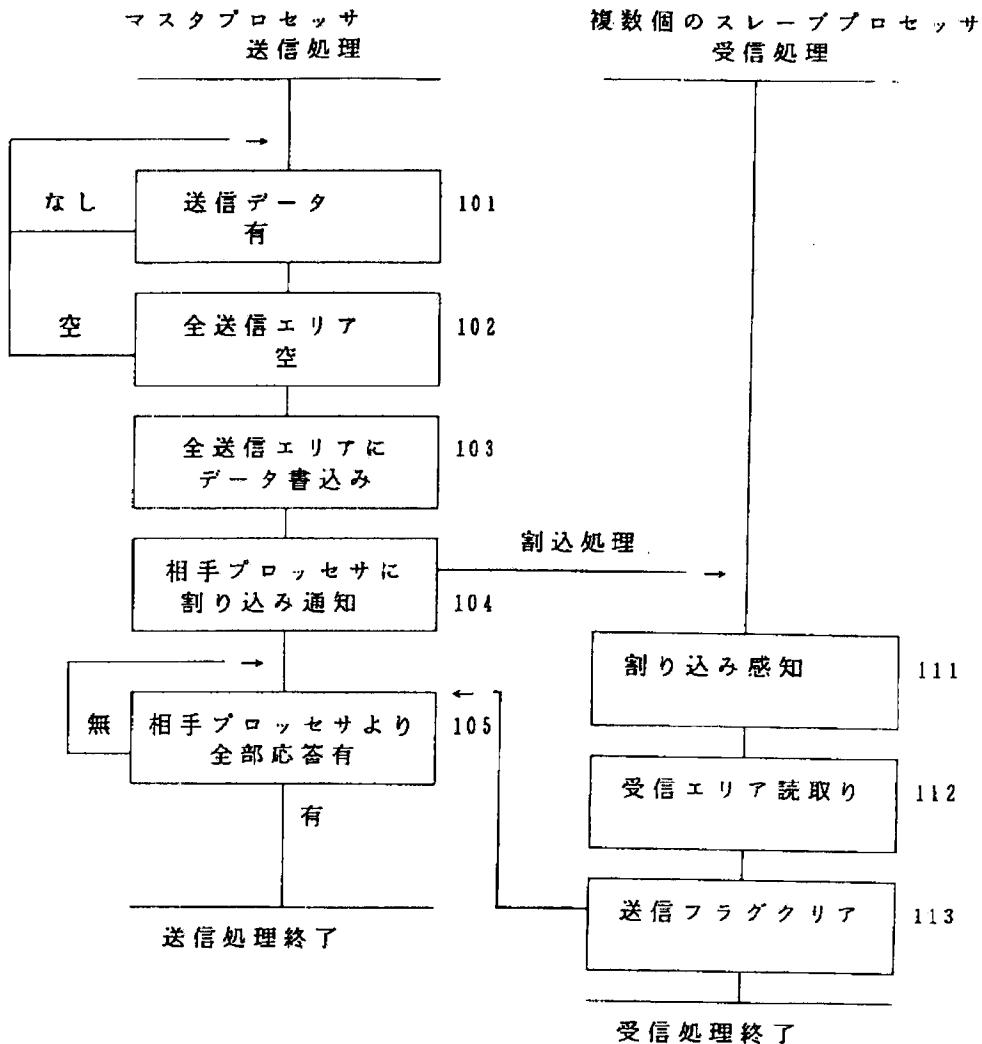


プロセッサ B の 2 - P O R T メモリの構成例

【図4】



【図3】



【図5】

